

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Susumu EGUCHI, et al.

Application No.:

Group Art Unit:

Filed: February 9, 2004

Examiner:

For: POWER SUPPLY MODULE AND ELECTRONIC APPARATUS USING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-093880

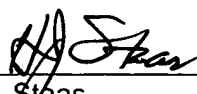
Filed: March 31, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 9, 2004

By:   
H. J. Staas  
Registration No. 22,010

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 9 3 8 8 0  
Application Number:

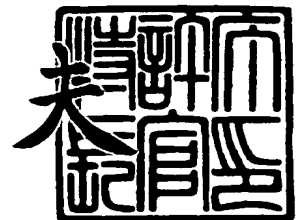
[ST. 10/C]:            [ J P 2 0 0 3 - 0 9 3 8 8 0 ]

出   願   人            富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 1 月 1 7 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0350098

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/28

【発明の名称】 電源モジュール及びこれを使用した電子装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 江口 進

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 島森 浩

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 板倉 和彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳



【選任した代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【手数料の表示】

【予納台帳番号】 030708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源モジュール及びこれを使用した電子装置

【特許請求の範囲】

【請求項 1】 1 次巻線と 2 次巻線とをトランスで結合した電源モジュールにおいて、

前記 1 次巻線と前記トランスと 1 次側回路と 2 次側回路とを搭載した部品実装層と、

第 1 の前記 2 次巻線を一方向に引き出したパターンを形成した第 1 の内層と、  
第 2 の前記 2 次巻線を他方向に引き出したパターンを形成した第 2 の内層とを有し、

前記第 1 の内層に、前記第 2 の 2 次巻線の出力パターン膜を形成し、前記第 2 の内層に、前記第 1 の 2 次巻線の出力パターン膜を形成した

ことを特徴とする電源モジュール。

【請求項 2】 前記第 1 及び第 2 の 2 次巻線のための一対のグランド膜を形成した第 3 の内層を更に有する

ことを特徴とする請求項 1 の電源モジュール。

【請求項 3】 前記部品搭載層に、前記第 1 の 2 次巻線の 2 次側回路と、前記第 2 の 2 次巻線の 2 次側回路を、前記トランスの両側に配置した

ことを特徴とする請求項 1 の電源モジュール。

【請求項 4】 前記部品搭載層は、

前記第 1 の 2 次巻線の 2 次側回路の整流回路と、前記第 2 の 2 次巻線の 2 次側回路の整流回路を、前記トランスの両側に配置した第 1 の部品搭載層と、

前記第 1 の 2 次巻線の 2 次側回路の平滑回路と、前記第 2 の 2 次巻線の 2 次側回路の平滑回路を、前記トランスの両側に配置した第 2 の部品搭載層とを有することを特徴とする請求項 3 の電源モジュール。

【請求項 5】 前記部品搭載層の前記 2 次側回路と、前記第 1 の内層の前記第 1 の 2 次巻線と出力パターン膜と、前記第 2 の内層の前記第 2 の 2 次巻線と出力パターン膜と、前記第 3 の内層の前記一対のグランド膜とを、ビア接続した

ことを特徴とする請求項 2 の電源モジュール。

【請求項 6】 1 次巻線と 2 次巻線とをトランスで結合した電源モジュールと、前記電源モジュールに電力を供給され動作する電子デバイスとを有する電子装置において、

前記電源モジュールは、

前記 1 次巻線と前記トランスと 1 次側回路と 2 次側回路とを搭載した部品実装層と、

第 1 の前記 2 次巻線を一方向に引き出したパターンを形成した第 1 の内層と、

第 2 の前記 2 次巻線を他方向に引き出したパターンを形成した第 2 の内層とを有し、

前記第 1 の内層に、前記第 2 の 2 次巻線の出力パターン膜を形成し、前記第 2 の内層に、前記第 1 の 2 次巻線の出力パターン膜を形成した

ことを特徴とする電子装置。

【請求項 7】 前記電源モジュールは、前記第 1 及び第 2 の 2 次巻線のための一対のグランド膜を形成した第 3 の内層を更に有する

ことを特徴とする請求項 6 の電子装置。

【請求項 8】 前記電源モジュールは、前記部品搭載層に、前記第 1 の 2 次巻線の 2 次側回路と、前記第 2 の 2 次巻線の 2 次側回路を、前記トランスの両側に配置した

ことを特徴とする請求項 6 の電子装置。

【請求項 9】 前記電源モジュールの前記部品搭載層は、

前記第 1 の 2 次巻線の 2 次側回路の整流回路と、前記第 2 の 2 次巻線の 2 次側回路の整流回路を、前記トランスの両側に配置した第 1 の部品搭載層と、

前記第 1 の 2 次巻線の 2 次側回路の平滑回路と、前記第 2 の 2 次巻線の 2 次側回路の平滑回路を、前記トランスの両側に配置した第 2 の部品搭載層とを有することを特徴とする請求項 8 の電子装置。

【請求項 10】 前記電源モジュールは、前記部品搭載層の前記 2 次側回路と、前記第 1 の内層の前記第 1 の 2 次巻線と出力パターン膜と、前記第 2 の内層の前記第 2 の 2 次巻線と出力パターン膜と、前記第 3 の内層の前記一対のグランド膜とを、ビア接続した



ことを特徴とする請求項 7 の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、分散型電源システム用のオンボード型電源モジュール及び電子装置に関し、特に、電源効率を向上するための電源モジュール及び電子装置に関する。

【0002】

【従来の技術】

近年の情報処理装置等の電子装置の複雑化に伴い、電子装置の信頼性の向上が要求されている。このような電子装置の信頼性向上には、分散型構成が好適である。このため、電子装置の電源にも、分散型構成が要求される。例えば、サーバーシステムやストレージシステムには、分散型電源システムが利用されている。このような分散型電源システムでは、サーバーやストレージ装置の電子装置搭載ボードに、オンボードできる小型の電源モジュールが望まれる。

【0003】

図 9 は、周知のトランス結合型スイッチング電源回路の構成図である。トランス T のコアに一次巻線 100 と、2 つの二次巻線 110、120 が巻きつけられ、1 次側と 2 次側とがトランス結合する。一次側には、一次巻線 100 に流れる電流を制御する 1 次側回路である FET 102 と、スイッチング制御回路 104 が設けられる。

【0004】

一方、2 次側は、各々二次巻線 110、120 に流れる電流を整流する整流回路を構成する一対の FET 114、116、124、126 と、スイッチング制御回路 112、122 と、平滑回路を構成するチョークコイル L1、L3 と、コンデンサ C1、C2 とが設けられる。

【0005】

このスイッチング電源は、周知のように、2 次側の出力の整流動作を行い及び過電圧、過電流を保護するように、スイッチング制御回路 112、122 が、F

ET114, 116, 124, 126をスイッチングし、且つ1次側の過電流を保護するように、スイッチング制御回路104がFET102を制御する。

#### 【0006】

このように、2次側の電流を多く必要とする場合には、2次側回路を2つ設ける、所謂、倍電流構成を採用している。

#### 【0007】

図10は、従来の電源モジュールの巻線を説明図、図11は、従来の電源モジュールの分解構成図である。図10及び図11に示すように、電源モジュールを小型化する場合、例えば、カードサイズ、部品配列上の制限がある。電源モジュールは、L1～L5の5層の構成を有する。

#### 【0008】

表面層L1と裏面層L5とは、部品実装層であり、内層L2～L4は、パターンを形成する層である。表面層L1には、トランスTと一次巻線100と1次側回路102、104の一部と、2次側回路のFET114, 116, 124, 126と、2次側スイッチング制御回路112、122の一部と、一方の入力端子150、一方の出力端子160が設けられる。

#### 【0009】

裏面層L5には、トランスTと一次巻線100と、1次側回路102、104の他部と、2次側回路のチョークコイルL1, L3、コンデンサCと、2次側スイッチング制御回路112、122の他部と、他方の入力端子152、他方の出力端子162が設けられる。

#### 【0010】

第1の内層L2には、2つの2次巻線110、120と、1次側回路102、104の配線領域132と、2次側スイッチング制御回路112、122の配線領域130が設けられる。第2の内層L3には、一对の出力パターン膜P1, P3と、1次側回路102、104の配線領域136と、2次側スイッチング制御回路112、122の配線領域134が設けられる。第3の内層L4には、一对のグランド膜G1, G3と、1次側回路102、104の配線領域138と、2次側スイッチング制御回路112、122の配線領域140が設けられる。



## 【0011】

従って、図10に示すように、一次巻線100、トランスT、一对の2次巻線110、120の順で、モジュールの左から右に配置される。これに伴い、1次側回路102、104、2次側回路114、116、124、126、L1、L3及び出力パターン膜P1、P3、グランド膜G1、G3が設けられていた。

## 【0012】

即ち、一对の2次巻線110、120は、同一方向に引き出され、各層間で、図9の2次側回路の各点p1、u1、q1、s1、t1、p2、u2、q2、s2、t2の接続をビアで行えるように、2次側回路114、116、124、126、L1、L3及び出力パターン膜P1、P3、グランド膜G1、G3を配置していた。

## 【0013】

## 【発明が解決しようとする課題】

近年、このような電源モジュールにより、電力の供給を受ける負荷が、大電流を要求している。例えば、高速のCPUでは、低速のCPUより、大きな電流が必要となる。このように、大電流を出力する場合には、電源モジュールのパターンによる抵抗値やインダクタンスが無視できなくなり、電力損失が大きくなり、且つノイズも生じ易い。

## 【0014】

前述の従来の電源モジュールのレイアウトでは、図10に示したように、一对の2次巻線110、120を片方向に引き出すため、図11に示すように、2次巻線110、120の断面積Sを大きくとれない。又、片方向に引き出すため、トランスTの片側に2次側の整流回路、平滑回路を一对実装する必要があるため、これらとのビア接続のためには、2次巻線110、120の長さlを長く取る必要がある。

## 【0015】

2次巻線の抵抗 $r$ は、 $r = \rho \cdot l / S$ で定義されるから、2次巻線の抵抗値を小さくできない。又、片方向に引き出すため、トランスTの片側に、一对の出力パターン膜と、グランド膜を配置する必要があるため、出力パターン膜、グランド膜

ド膜の太くとれない。このため、出力抵抗を小さくすることが困難である。

【0016】

このため、大電流を出力する場合には、電力損失が大きくなり、電源効率が低下する。しかも、2次巻線のパターン長が長くなるため、その分、インダクタンス $L$ が大きくなる。スイッチング電源では、チョークコイルやトランスによる急峻な電流変化 ( $di/dt$ ) が生じるため、ノイズは、 $L \cdot di/dt$  で規定されるから、電流を大きくすると、発生ノイズが無視できなくなり、スイッチングノイズが大きくなる。

【0017】

当然、電源モジュールのサイズを大きくすれば、パターン層 $L2$ 、 $L3$ 、 $L4$ に配置された各パターンを、抵抗値やインダクタンスを小さくすることができるが、これでは、電源モジュールのサイズが大きくなってしまい、小型化が要求される装置には不向きである。

【0018】

従って、本発明の目的は、限られたサイズの範囲の大きさに、電源効率を向上するための電源モジュール及び電子装置を提供することにある。

【0019】

又、本発明の他の目的は、出力電流を大きくしても、電力損失が大きくなることを防止するための電源モジュール及び電子装置を提供することにある。

【0020】

更に、本発明の他の目的は、出力電流を大きくしても、スイッチングノイズの増大を防止するための電源モジュール及び電子装置を提供することにある。

【0021】

【課題を解決するための手段】

この目的の達成のため、本発明の電源モジュール及び電子装置は、1次巻線と2次巻線とをトランスで結合した電源モジュールを有し、この電源モジュールは、前記1次巻線と前記トランスと1次側回路と2次側回路とを搭載した部品実装層と、第1の前記2次巻線を一方向に引き出したパターンを形成した第1の内層と、第2の前記2次巻線を他方向に引き出したパターンを形成した第2の内層と

を有し、前記第1の内層に、前記第2の2次巻線の出力パターン膜を形成し、前記第2の内層に、前記第1の2次巻線の出力パターン膜を形成した。

#### 【0022】

本発明では、一对の2次巻線を両方向に引き出し、且つ別の層に設けたため、2次巻線を太く、且つ短いパターンで構成でき、しかも、この両方向引出しのため、出力パターン膜の配置位置を、第2、第3の層の両側にとれるため、パターン膜を太くできる。

#### 【0023】

これにより、出力電流を大きくしても、従来に比し、電力損失が半分となり、電力効率を向上できる。しかも、インダクタンスの減少により、スイッチングノイズも低減できる。更に、モジュールのサイズを大型化せずに実現できる。

#### 【0024】

本発明では、好ましくは、前記第1及び第2の2次巻線のため的一对のグランド膜を形成した第3の内層を更に有する。これにより、グランド膜も太くできるため、一層、パターン抵抗を小さくできる。

#### 【0025】

又、本発明では、好ましくは、前記部品搭載層に、前記第1の2次巻線の2次側回路と、前記第2の2次巻線の2次側回路を、前記トランスの両側に配置することにより、ビア接続により、各2次巻線との接続が可能となり、小型の電源モジュールを構成できる。

#### 【0026】

又、本発明では、好ましくは、前記部品搭載層は、前記第1の2次巻線の2次側回路の整流回路と、前記第2の2次巻線の2次側回路の整流回路を、前記トランスの両側に配置した第1の部品搭載層と、前記第1の2次巻線の2次側回路の平滑回路と、前記第2の2次巻線の2次側回路の平滑回路を、前記トランスの両側に配置した第2の部品搭載層とを有する。

#### 【0027】

このため、ビア接続により、各2次巻線との接続が可能となり、小型で、パターン長の短い電源モジュールを構成できる。

## 【0028】

又、本発明では、好ましくは、前記部品搭載層の前記2次側回路と、前記第1の内層の前記第1の2次巻線と出力パターン膜と、前記第2の内層の前記第2の2次巻線と出力パターン膜と、前記第3の内層の前記一对のグランド膜とを、ビア接続した。これにより、パターン長が短く、小型な電源モジュールを実現できる。

## 【0029】

更に、本発明では、好ましくは、前記部品搭載層に設けられた前記2次側回路の整流回路は、スイッチング素子と、スイッチング制御回路とで構成されたことにより、スイッチング電源のスイッチングノイズを低減できる。

## 【0030】

更に、本発明では、好ましくは、前記1次巻線に接続する入力端子と、前記出力パターン膜に接続する出力端子を更に有することにより、容易にプリント基板に接続できる。

## 【0031】

## 【発明の実施の形態】

以下、本発明の実施の形態を、電源モジュール、電子装置、他の実施の形態の順で説明する。

## 【0032】

## [電源モジュール]

図1は、本発明の一実施の形態の電源モジュールの各層の構成図、図2は、本発明の一実施の形態の電源モジュールの断面図、図3は、図1の2次巻線パターンの説明図、図4は、図2のトランス部の断面図、図5は、図1の1次巻線と2次巻線との関係図、図6は、図1の電源モジュールの回路図である。

## 【0033】

図1の配置構成を説明する前に、図1の構成の電源モジュールの回路構成を、図6で説明する。図6も、図9と同様のトランス結合型スイッチング電源回路の構成図である。トランスTのコアに一次巻線30と、2つの二次巻線40、50が巻きつけられ、1次側と2次側とがトランス結合する。一次側には、一次巻線

30に流れる電流を制御する1次側回路であるFET32と、スイッチング制御回路34が設けられる。

#### 【0034】

一方、2次側は、各々二次巻線40、50に流れる電流を整流する整流回路を構成する一対のFET42、44、52、54と、スイッチング制御回路70と、平滑回路を構成するチョークコイルL1、L2と、コンデンサC1、C2とが設けられる。

#### 【0035】

このスイッチング電源回路は、周知のように、2次側の出力の整流動作を行い及び過電圧、過電流を保護するように、スイッチング制御回路70が、出力電圧を監視し、FET42、44、52、54をスイッチングし、且つ1次側の過電流を保護するように、スイッチング制御回路34がFET22を制御する。

#### 【0036】

このように、2次側の電流を多く必要とする場合には、2次側回路を2つ設ける、所謂、倍電流構成を採用している。

#### 【0037】

ここで、前述の内層のパターンによる抵抗、インダクタンス成分を、図6に示すと、 $r_a$ 、 $L_a$ が、2次巻線40、50の抵抗、インダクタンスであり、 $L_c$ 、 $r_c$ が、出力パターン膜のインダクタンス、抵抗であり、 $L_g$ 、 $r_g$ が、グラウンド膜のインダクタンス、抵抗である。

#### 【0038】

図2の電源モジュール10の断面図に示すように、電源モジュール10は、L1～L5の5層の構成を有する。表面層L1と裏面層L5とは、部品実装層であり、内層L2～L4は、パターンを形成する層である。

#### 【0039】

図1に示すように、表面層L1には、トランスTと一次巻線30と1次側回路32、34の一部と、2次側回路のFET42、44、52、54と、2次側スイッチング制御回路70の一部と、一方の入力端子60、一方の出力端子64が設けられる。

**【0040】**

裏面層 L5 には、トランス T と一次巻線 30 と、1 次側回路 32、34 の他部と、2 次側回路のチョークコイル L1、L3、一対のコンデンサ C と、2 次側スイッチング制御回路 70 の他部と、他方の入力端子 62、他方の出力端子 66 が設けられる。

**【0041】**

第 1 の内層 L2 には、本発明では、一方向に引き出された第 1 の 2 次巻線のパターン 40 が設けられ、且つ第 2 の出力パターン膜 56 が、その左方に設けられる。更に、1 次側回路 32、34 の配線領域 82 と、2 次側スイッチング制御回路 70 の配線領域 80 が設けられる。

**【0042】**

第 2 の内層 L3 には、本発明では、他方向に引き出された第 2 の 2 次巻線のパターン 50 が設けられ、且つ第 1 の出力パターン膜 46 が、その右方に設けられる。更に、1 次側回路 32、34 の配線領域 86 と、2 次側スイッチング制御回路 70 の配線領域 84 が設けられる。

**【0043】**

第 3 の内層 L4 には、一対のグランド膜 48、58 と、1 次側回路 32、34 の配線領域 88 と、2 次側スイッチング制御回路 70 の配線領域 90 が設けられる。

**【0044】**

従って、図 4 に示すように、トランス T 内に、一次巻線 30、第 1 の 2 次巻線 40、第 2 の 2 次巻線 50、グランド層 L4、一次巻線 30 の順で、各層が構成される。即ち、一対の 2 次巻線 40、50 は、別の層 L2、L3 に設けられ、且つ、図 3 に示すように、一対の 2 次巻線 40、50 は、互いに反対方向に引き出される。

**【0045】**

これに伴い、1 次側回路 32、34、2 次側回路 42、44、52、54、L1、L2 が配置され、且つ第 2 の 2 次巻線 50 の出力パターン膜 56 は、第 1 の 2 次巻線 40 を設けた第 1 の層 L2 に、第 1 の 2 次巻線 40 の出力パターン膜 4

6は、第2の2次巻線50を設けた第2の層L3に設けられる。この位置に対応して、第3の内層L4に、グラント膜48、58が設けられる。

#### 【0046】

即ち、一对の2次巻線40、50は、互いに逆に引き出され、各層間で、図1の2次側回路の各点p1, u1, q1, s1, t1, p2, u2, q2, s2, t2の接続をビアで行えるように、2次側回路の整流回路42、44と、整流回路52、54は、トランスTの両側に設けられ、平滑回路L1, L2, Cも、トランスの両側に設けられる。

#### 【0047】

本発明では、一对の2次巻線40、50を異なる層L2, L3に別けて配置した。このため、2次巻線40、50の専有面積を、図の上下方向に大きくとれる。即ち、図3に示すように、断面積Sが大きく、パターン長lが短い2次巻線のパターンを形成できる。

#### 【0048】

前述のように、パターン抵抗値  $r = \rho \cdot l / S$  のため、パターン抵抗値を小さくできる。しかも、パターンのインダクタンスLも、パターン長lに比例するため、インダクタンスを小さくできる。

#### 【0049】

このように構成すると、出力パターン膜を設ける専用層がなくなるが、本発明では、2次巻線40、50の引き出し方向を互いに逆にすることにより、第2の2次巻線50の出力パターン膜56は、第1の2次巻線40を設けた第1の層L2に、第1の2次巻線40の出力パターン膜46は、第2の2次巻線50を設けた第2の層L3に設けている。

#### 【0050】

この出力パターン膜も、異なる層に設けたため、パターン幅（断面積S）を大きくとれる。このため、同様に、パターン抵抗値  $r = \rho \cdot l / S$  のため、パターン抵抗値を小さくできる。

#### 【0051】

同様に、グラント膜48、58も、第3の層L4の左右領域に配置できるため

、パターン幅（断面積  $S$ ）を太くとれる。このため、同様に、パターン抵抗値  $r = \rho \cdot l / S$  のため、パターン抵抗値を小さくできる。

#### 【0052】

例えば、図9の従来構成に比し、各層のパターン幅が太くなるため、パターン抵抗  $r_a$ 、 $r_c$ 、 $r_g$  は、半分となり、電力損失を半分にできる。同様に、2次巻線40、50のインダクタンスが小さくなり、スイッチングノイズを低減できる。

#### 【0053】

即ち、従来技術では、図10に示すように、一对の2次巻線を片方向に引き出し、且つ同一層に設けていたため、2次巻線が細く、且つ長いパターンであり、しかも、この片方向引出しのため、出力パターン膜とグランド膜の配置位置が、第2、第3の層の片側しかとれないため、パターン膜を太くできなかった。

#### 【0054】

本発明では、図1及び図5に示すように、一对の2次巻線を両方向に引き出し、且つ別の層に設けたため、2次巻線を太く、且つ短いパターンで構成でき、しかも、この両方向引出しのため、出力パターン膜とグランド膜の配置位置を、第2、第3の層の両側にとれるため、パターン膜を太くできる。

#### 【0055】

これにより、出力電流を大きくしても、従来に比し、電力損失が半分となり、電力効率を向上できる。しかも、インダクタンスの減少により、スイッチングノイズも低減できる。更に、モジュールのサイズを大型化せずに実現できる。

#### 【0056】

##### [電子装置]

図7は、本発明の電源モジュールを搭載した電子機器ボードの構成図、図8は、図7の電子機器ボードを収容する電子装置の構成図である。

#### 【0057】

図7に示すように、CPUボード20のプリント基板21に、CPU等のLSI 22が多数搭載される。このボード21に、電源コネクタ1を設け、図1乃至図6で説明した電源モジュール10を接続する。この例では、大電流を要求する



高速CPUを搭載しているため、複数（3つ）の電源モジュール10を搭載している。

#### 【0058】

図8に示すように、ラック25に、このCPUボード20を縦に、必要数併設し、サーバーを構成する。このように、この電源モジュール10は、小型であり、分散電源に使用できる。しかも、前述のように、電力効率が向上するため、大電流を必要とする高速CPUを搭載した電子装置の電力消費を低減できる。

#### 【0059】

##### [他の実施の形態]

前述の実施の形態では、図6のような2つの2次巻線を設け、出力を1つとしたが、出力を2つとしても良い。同様に、モジュールの層を増加することにより、2次巻線の数を3つ以上に増加できる。

#### 【0060】

以上、本発明を実施の形態により説明したが、本発明の趣旨の範囲内において、本発明は、種々の変形が可能であり、本発明の範囲からこれらを排除するものではない。

#### 【0061】

(付記1) 1次巻線と2次巻線とをトランスで結合した電源モジュールにおいて、前記1次巻線と前記トランスと1次側回路と2次側回路とを搭載した部品実装層と、第1の前記2次巻線を一方向に引き出したパターンを形成した第1の内層と、第2の前記2次巻線を他方向に引き出したパターンを形成した第2の内層とを有し、前記第1の内層に、前記第2の2次巻線の出力パターン膜を形成し、前記第2の内層に、前記第1の2次巻線の出力パターン膜を形成したことを特徴とする電源モジュール。

#### 【0062】

(付記2) 前記第1及び第2の2次巻線のための一対のグランド膜を形成した第3の内層を更に有することを特徴とする付記1の電源モジュール。

#### 【0063】

(付記3) 前記部品搭載層に、前記第1の2次巻線の2次側回路と、前記第2

の 2 次巻線の 2 次側回路を、前記トランスの両側に配置したことを特徴とする付記 1 の電源モジュール。

【0064】

(付記 4) 前記部品搭載層は、前記第 1 の 2 次巻線の 2 次側回路の整流回路と、前記第 2 の 2 次巻線の 2 次側回路の整流回路を、前記トランスの両側に配置した第 1 の部品搭載層と、前記第 1 の 2 次巻線の 2 次側回路の平滑回路と、前記第 2 の 2 次巻線の 2 次側回路の平滑回路を、前記トランスの両側に配置した第 2 の部品搭載層とを有することを特徴とする付記 3 の電源モジュール。

【0065】

(付記 5) 前記部品搭載層の前記 2 次側回路と、前記第 1 の内層の前記第 1 の 2 次巻線と出力パターン膜と、前記第 2 の内層の前記第 2 の 2 次巻線と出力パターン膜と、前記第 3 の内層の前記一対のグランド膜とを、ビア接続したことを特徴とする付記 2 の電源モジュール。

【0066】

(付記 6) 前記部品搭載層に設けられた前記 2 次側回路の整流回路は、スイッチング素子と、スイッチング制御回路とで構成されたことを特徴とする付記 1 の電源モジュール。

【0067】

(付記 7) 前記 1 次巻線に接続する入力端子と、前記出力パターン膜に接続する出力端子を更に有することを特徴とする付記 1 の電源モジュール。

【0068】

(付記 8) 1 次巻線と 2 次巻線とをトランスで結合した電源モジュールと、前記電源モジュールに電力を供給され動作する電子デバイスとを有する電子装置において、前記電源モジュールは、前記 1 次巻線と前記トランスと 1 次側回路と 2 次側回路とを搭載した部品実装層と、第 1 の前記 2 次巻線を一方向に引き出したパターンを形成した第 1 の内層と、第 2 の前記 2 次巻線を他方向に引き出したパターンを形成した第 2 の内層とを有し、前記第 1 の内層に、前記第 2 の 2 次巻線の出力パターン膜を形成し、前記第 2 の内層に、前記第 1 の 2 次巻線の出力パターン膜を形成したことを特徴とする電子装置。

**【0069】**

(付記9) 前記電源モジュールは、前記第1及び第2の2次巻線のための一対のグランド膜を形成した第3の内層を更に有することを特徴とする付記8の電子装置。

**【0070】**

(付記10) 前記電源モジュールは、前記部品搭載層に、前記第1の2次巻線の2次側回路と、前記第2の2次巻線の2次側回路を、前記トランスの両側に配置したことを特徴とする付記8の電子装置。

**【0071】**

(付記11) 前記電源モジュールの前記部品搭載層は、前記第1の2次巻線の2次側回路の整流回路と、前記第2の2次巻線の2次側回路の整流回路を、前記トランスの両側に配置した第1の部品搭載層と、前記第1の2次巻線の2次側回路の平滑回路と、前記第2の2次巻線の2次側回路の平滑回路を、前記トランスの両側に配置した第2の部品搭載層とを有することを特徴とする付記10の電子装置。

**【0072】**

(付記12) 前記電源モジュールは、前記部品搭載層の前記2次側回路と、前記第1の内層の前記第1の2次巻線と出力パターン膜と、前記第2の内層の前記第2の2次巻線と出力パターン膜と、前記第3の内層の前記一対のグランド膜とを、ビア接続したことを特徴とする付記9の電子装置。

**【0073】**

(付記13) 前記電源モジュールの前記部品搭載層に設けられた前記2次側回路の整流回路は、スイッチング素子と、スイッチング制御回路とで構成されたことを特徴とする付記8の電子装置。

**【0074】**

(付記14) 前記電源モジュールは、前記1次巻線に接続する入力端子と、前記出力パターン膜に接続する出力端子を更に有することを特徴とする付記8の電子装置。

**【0075】**

(付記 15) 前記電子デバイスを搭載する基板に、前記電源モジュールを前記基板に接続するためのコネクタを設けたことを特徴とする付記 8 の電子装置。

【0076】

【発明の効果】

このように、本発明では、1 次巻線とトランス結合する一対の 2 次巻線を両方向に引き出し、且つ別の層に設けたため、2 次巻線を太く、且つ短いパターンで構成でき、しかも、この両方向引出しのため、出力パターン膜の配置位置を、第 2、第 3 の層の両側にとれるため、パターン膜を太くできる。

【0077】

これにより、出力電流を大きくしても、従来に比し、電力損失が半分となり、電力効率を向上できる。しかも、インダクタンスの減少により、スイッチングノイズも低減できる。更に、モジュールのサイズを大型化せずに実現できる。

【0078】

又、これを搭載した電子装置の電力消費を低減できる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態の電源モジュールの分解構成図である。

【図 2】

本発明の一実施の形態の電源モジュールの断面図である。

【図 3】

図 1 の 2 次巻線パターンの説明図である。

【図 4】

図 1 のトランス及び 1 次巻線、2 次巻線の断面図である。

【図 5】

図 1 の 1 次巻線と 2 次巻線との関係図である。

【図 6】

図 1 の電源回路の回路図である。

【図 7】

図 1 の電源モジュールを搭載した CPU ボードの構成図である。

**【図 8】**

図 7 の C P U ボードを収容した電子装置の構成図である。

**【図 9】**

従来の電源回路の回路図である。

**【図 1 0】**

従来の 1 次巻線と 2 次巻線の関係図である。

**【図 1 1】**

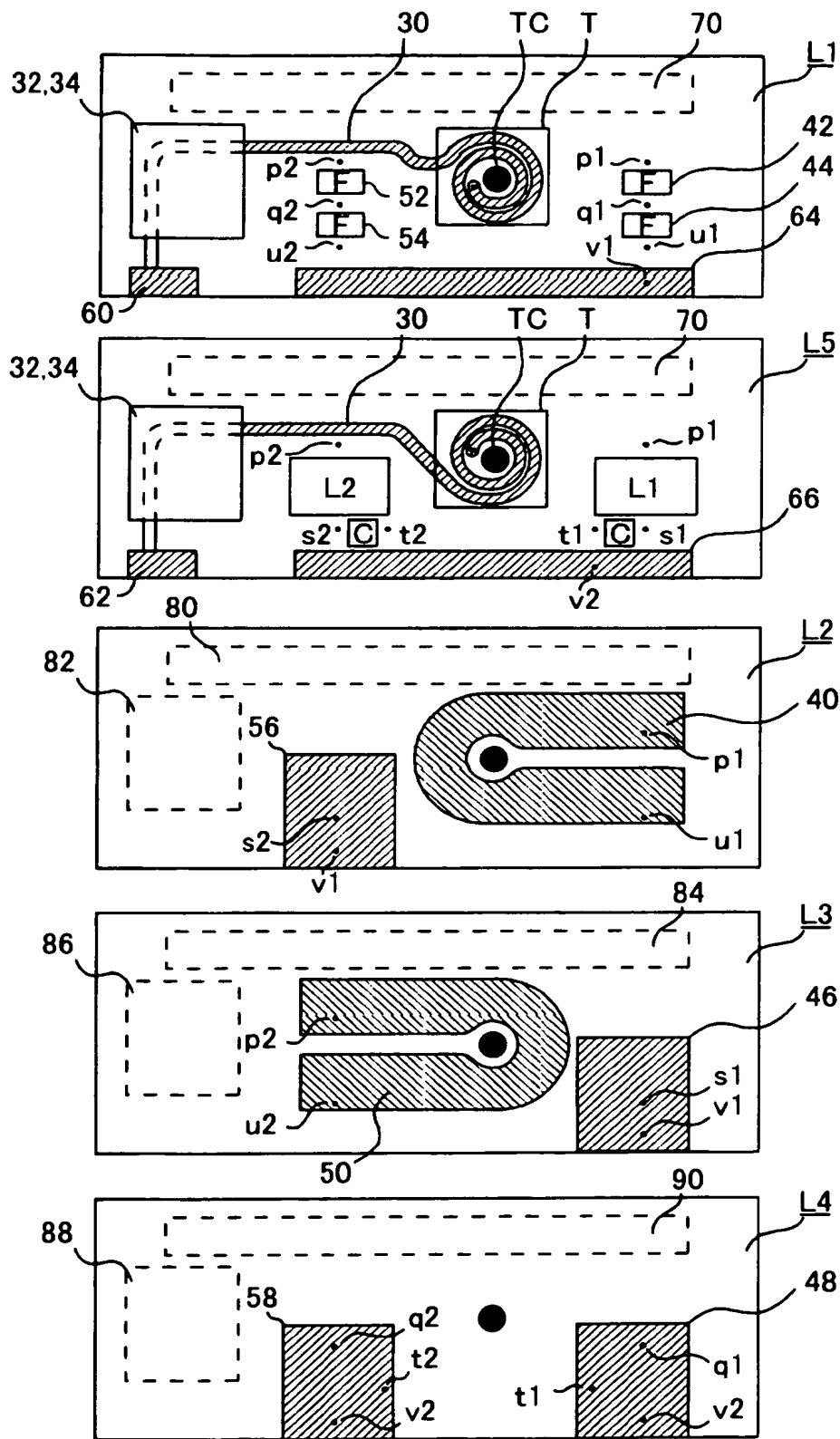
従来の電源モジュールの分解構成図である。

**【符号の説明】**

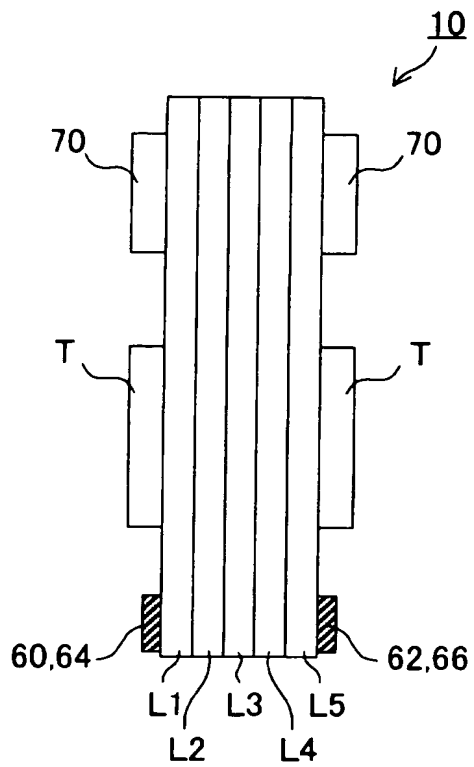
- 1   コネクタ
- 1 0   電源モジュール
- 2 0   C P U ボード
- 2 1   基板
- 2 2   L S I
- 3 0   1 次巻線
- 3 2、3 4   1 次側回路
- 4 0、5 0   2 次巻線
- 4 2、4 4、5 2、5 4   整流回路 ( F E T )
- 4 6、5 6   出力パターン膜
- 4 8、5 8   グランド膜
- L 1、L 2   平滑回路 ( チョークコイル )
- C   平滑回路 ( コンデンサ )
- T   トランス
- T C   トランスコア
- L 1、L 5   部品搭載層
- L 2、L 3、L 4   内層 ( パターン形成層 )

【書類名】 図面

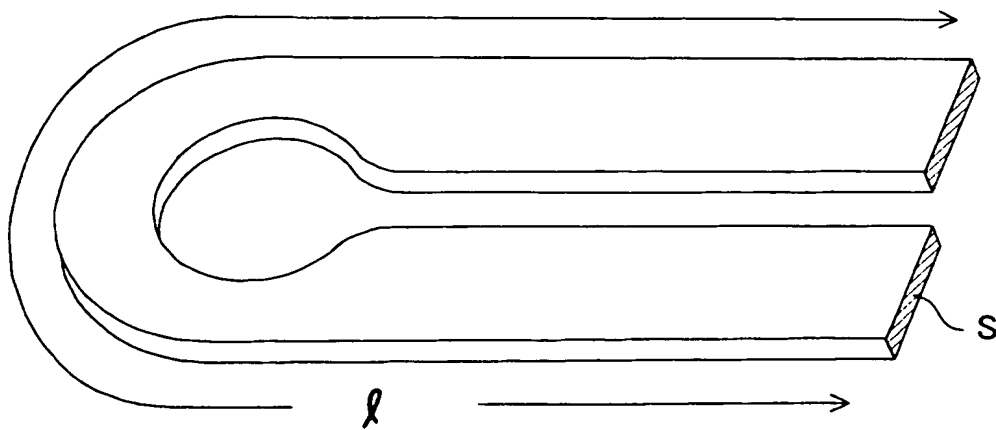
【図 1】



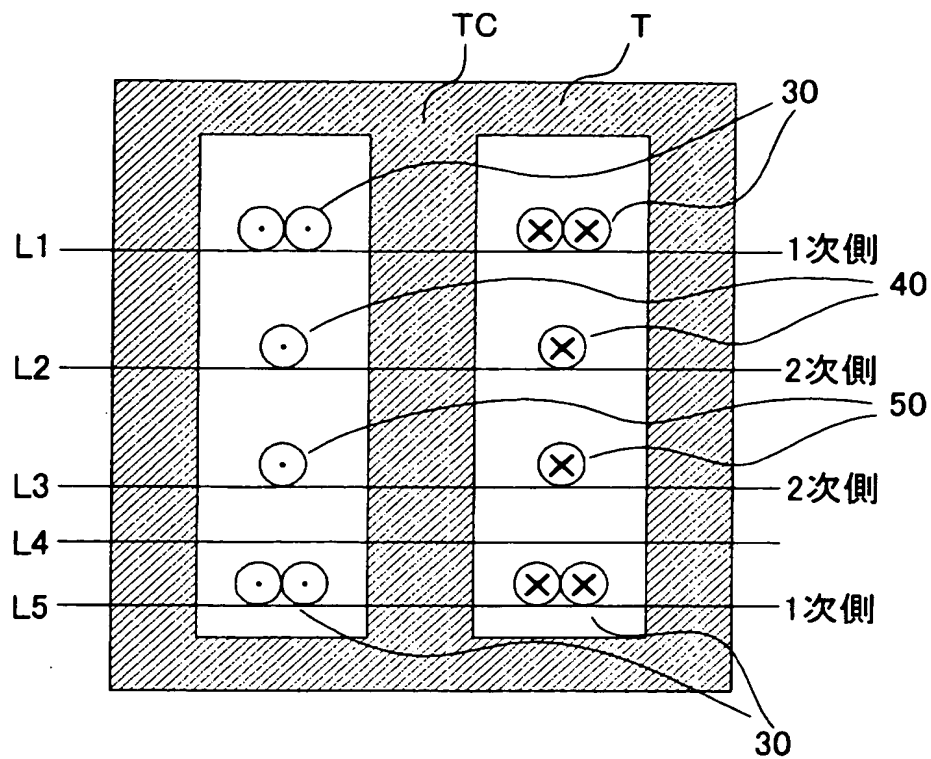
【図 2】



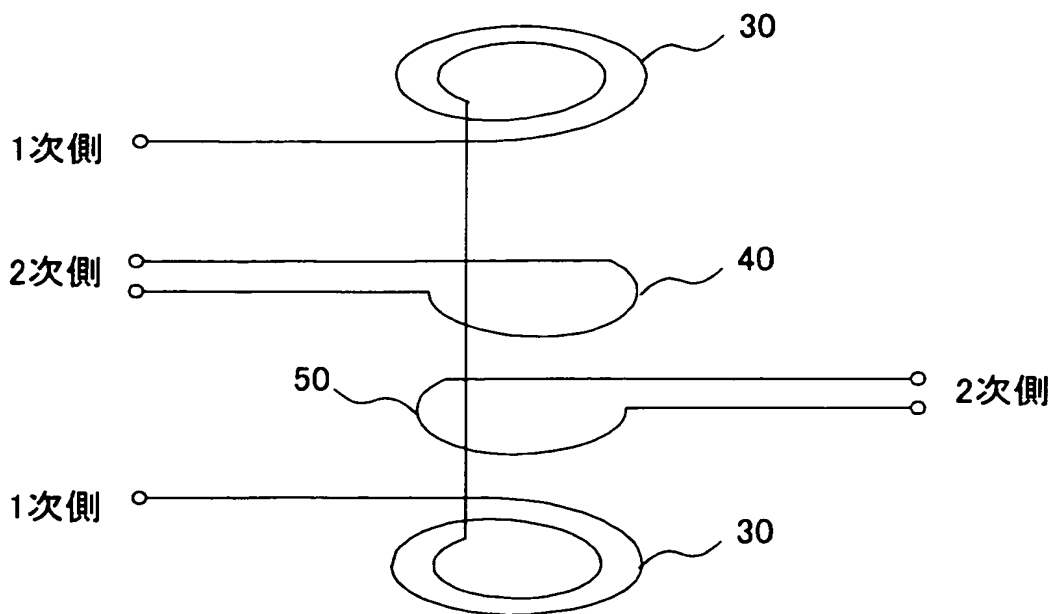
【図 3】



【図 4】

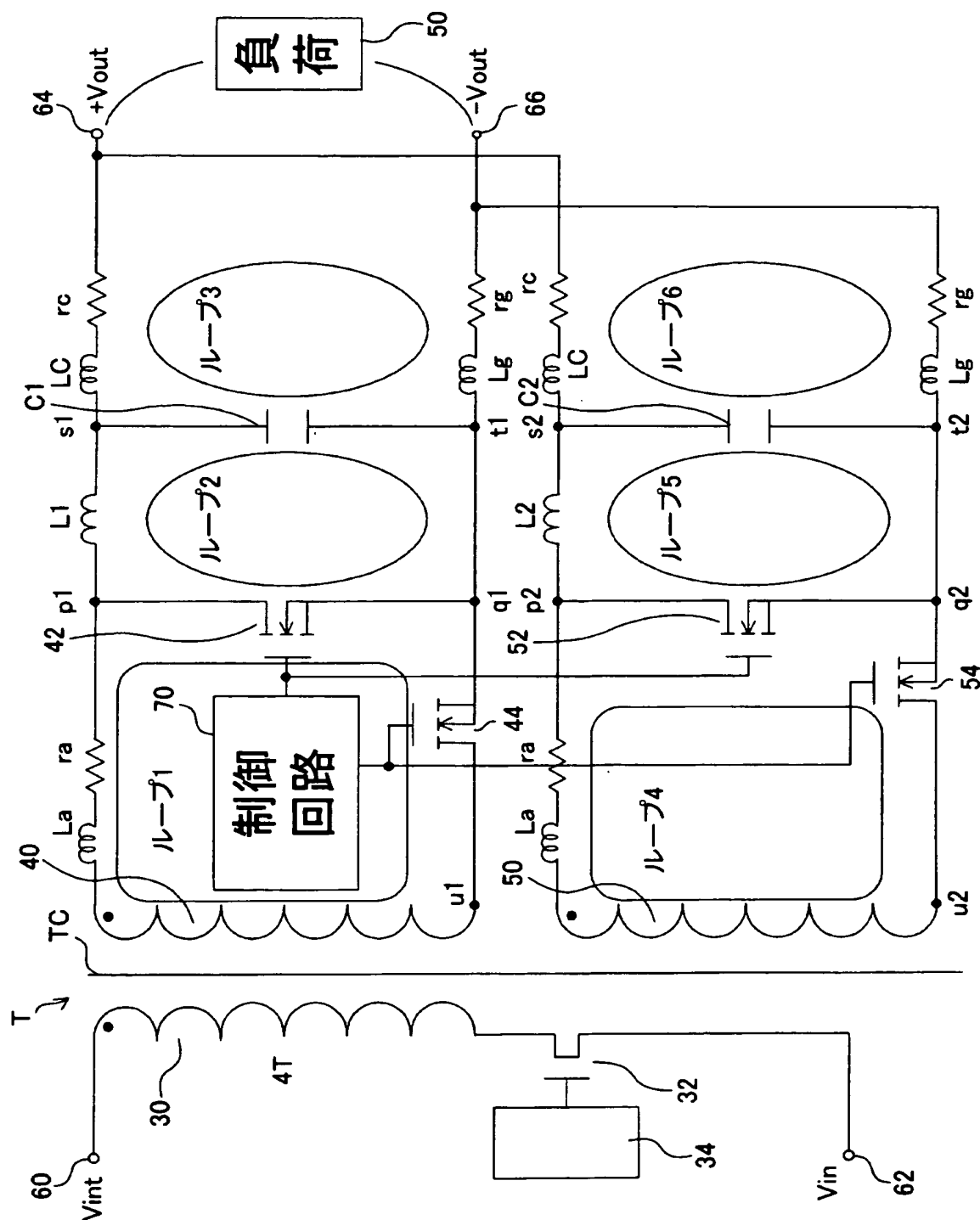


【図 5】

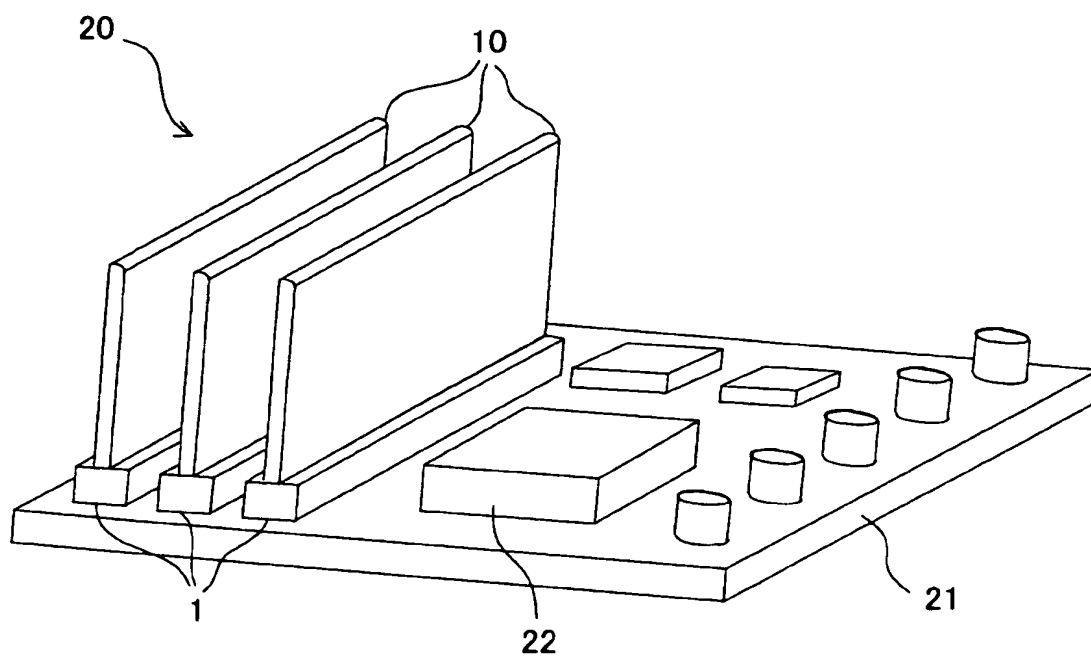




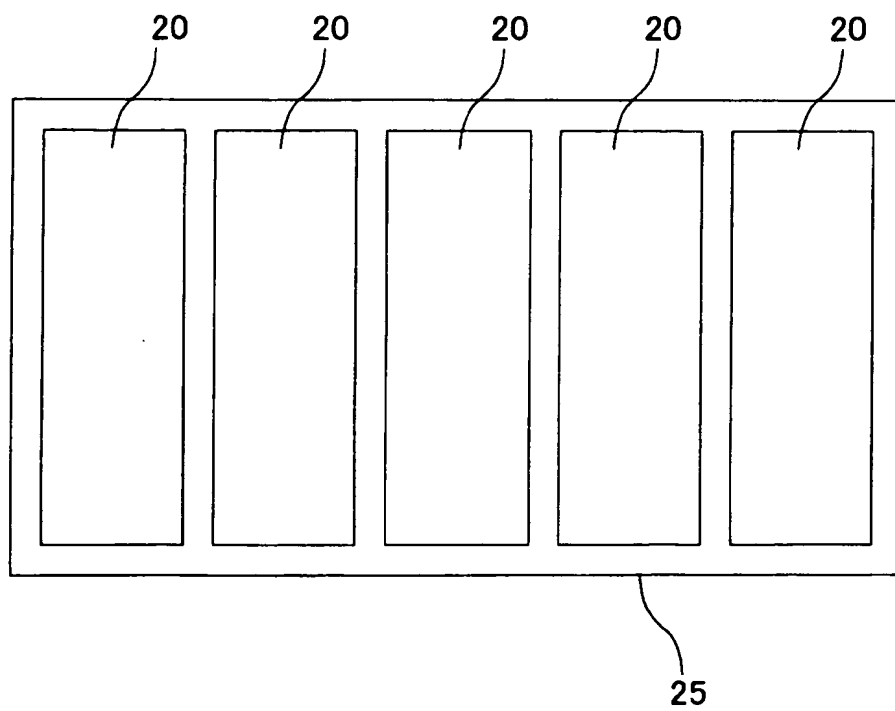
【図 6】



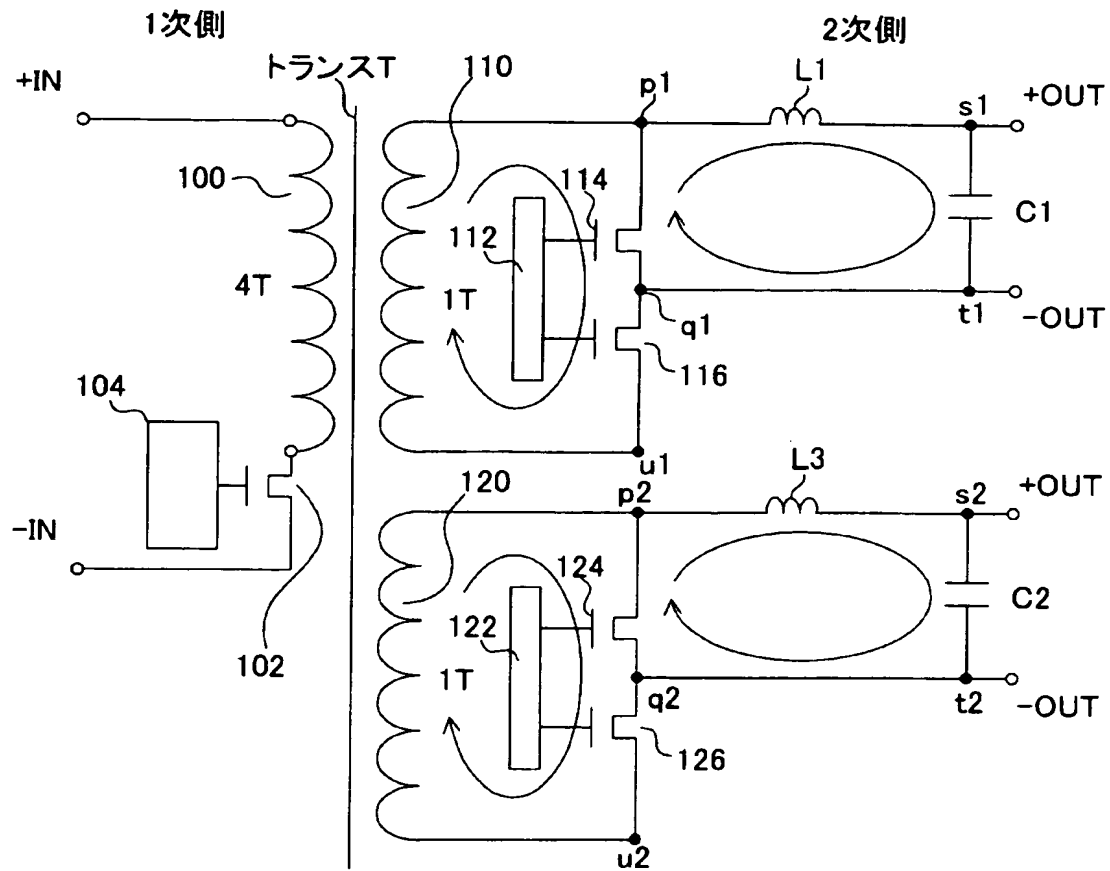
【図 7】



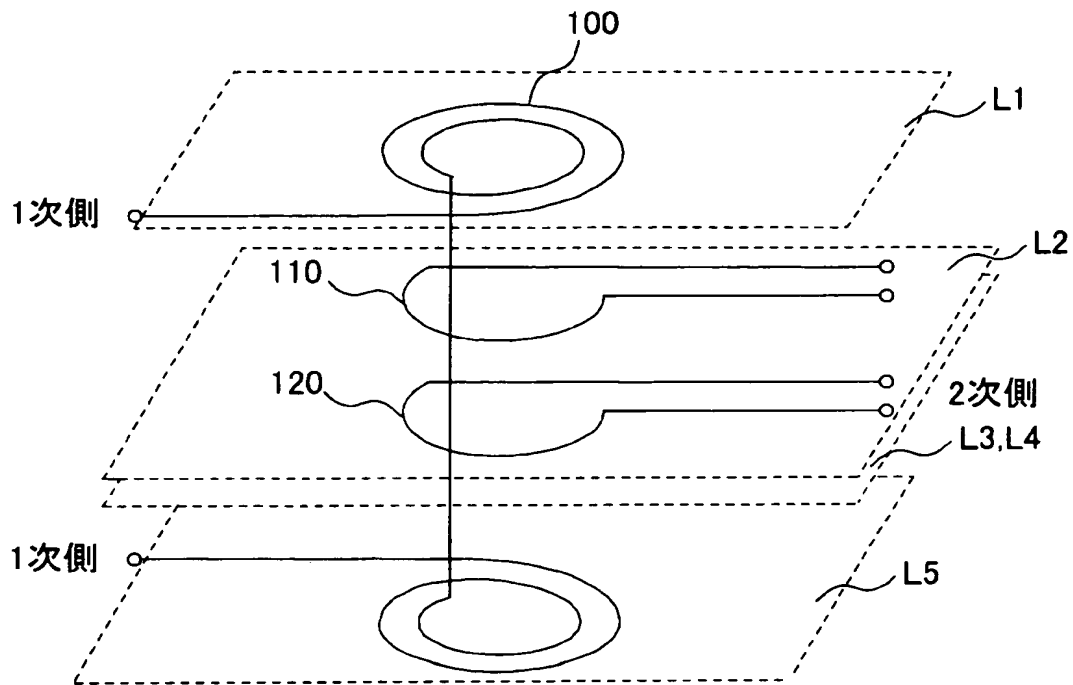
【図 8】



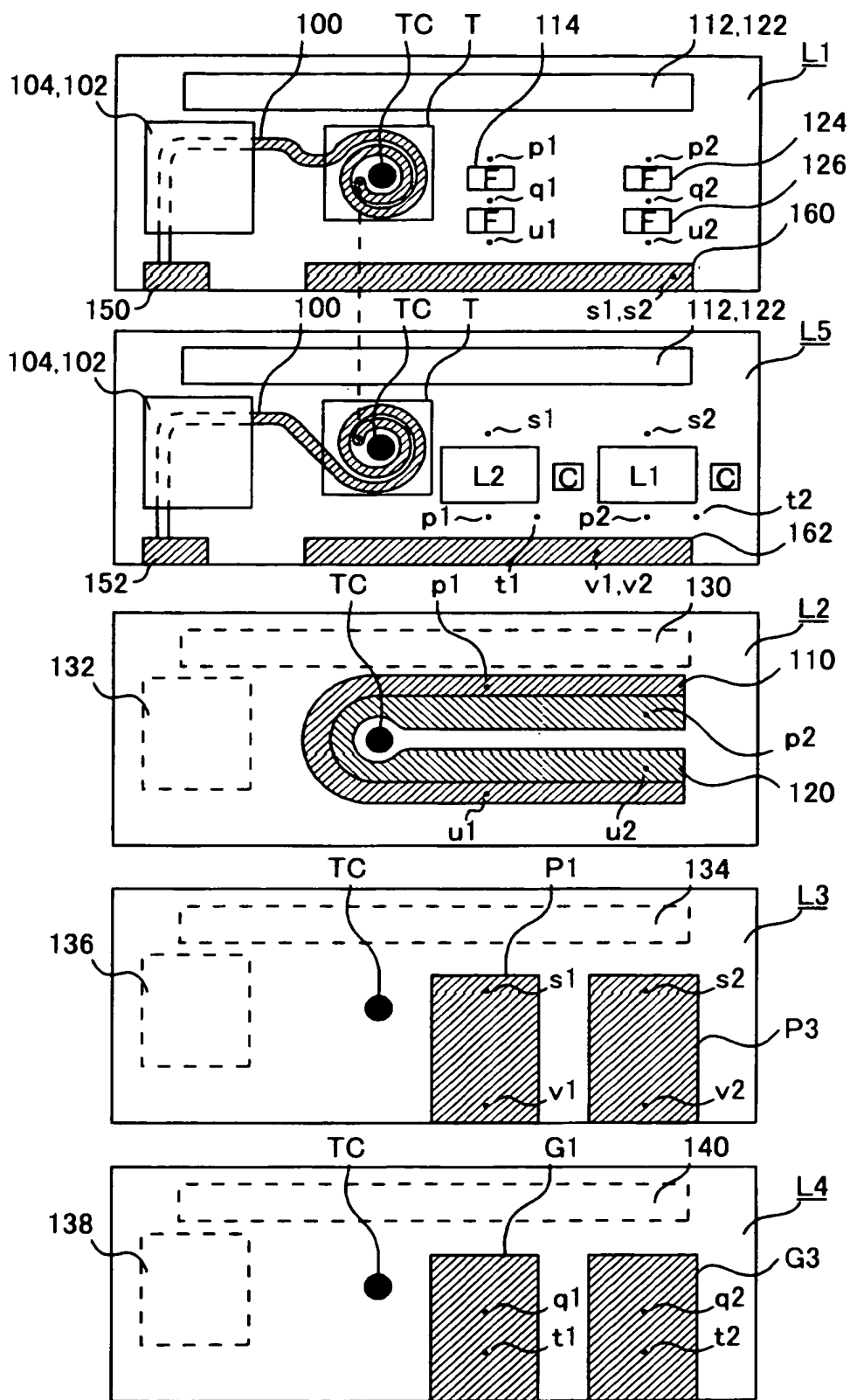
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 1次巻線に一对の2次巻線がトランス結合した電源モジュールに関し、2次巻線を含むパターン抵抗を小さくする。

【解決手段】 1次巻線(30)にトランス(T)結合する一对の2次巻線(40、50)を両方向に引出し、且つ別の層(L2, L3)に設け、出力パターン膜(46, 56)を、第2、第3の層(L2, L3)の両側に配置したため、パターン膜を太くできる。これにより、出力電流を大きくしても、従来に比し、電力損失が半分となり、電力効率を向上できる。しかも、インダクタンスの減少により、スイッチングノイズも低減できる。更に、モジュールのサイズを大型化せずに実現できる。

【選択図】 図1

特願 2 0 0 3 - 0 9 3 8 8 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社